

Attorney Docket No. 1614.1202

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Tomohiro YAMANA, et al.

Application No.:

Group Art Unit:

Filed: November 20, 2001

Examiner:

For: INFORMATION PROCESSING DEVICE AND COMPUTER SYSTEM

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-120175

Filed: April 18, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

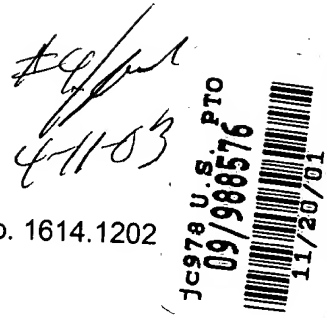
Date: November 20, 2001

By: H. J. Staas

H. J. Staas

Registration No. 22,010

700 11th Street, N.W., Ste. 500  
Washington, D.C. 20001  
(202) 434-1500



日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月18日

出 願 番 号

Application Number:

特願2001-120175

出 願 人

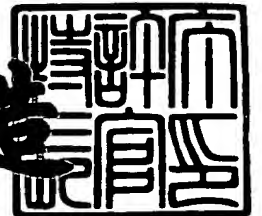
Applicant(s):

富士通株式会社

2001年 8月17日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3074020

【書類名】 特許願

【整理番号】 0150063

【提出日】 平成13年 4月18日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 9/38

【発明の名称】 情報処理装置及び計算機システム

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山名 智尋

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 多湖 真一郎

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 佐藤 泰造

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 竹部 好正

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山崎 恭啓

【特許出願人】

    【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び計算機システム

【特許請求の範囲】

【請求項 1】 m 行 n 列の命令バッファと、  
複数の命令を並列的に実行する命令実行部と、  
前記 m 行 n 列の命令バッファから所定数の命令を選択して前記命令実行部に分配する制御回路と  
を有することを特徴とする情報処理装置。

【請求項 2】 前記制御回路は n 個の選択回路を有し、各選択回路は対応する列にある m 個の命令から 1 つを選択することを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記制御回路は n 個の選択回路と該選択回路を制御する制御部とを有し、

該制御部は、各命令に含まれる同時実行可能か否かを示す情報を参照して前記選択回路を制御して、各列毎に、対応する列にある m 個の命令から 1 つを選択することを特徴とする請求項 1 記載の情報処理装置。

【請求項 4】 前記制御回路は n 個の第 1 の選択回路と、該第 1 の選択回路で選択された所定数の命令を保持する 1 行 n 列のバッファと、該 1 行 n 列のバッファに保持された命令を前記命令実行部に分配する第 2 の選択回路とを有することを特徴とする請求項 1 記載の情報処理装置。

【請求項 5】、前記第 1 の選択回路は各命令に含まれる同時実行可能か否かを示す第 1 の情報に基づき選択動作を行い、前記第 2 の制御回路は各命令に含まれる命令の種類を示す第 2 の情報に基づき選択動作を行うことを特徴とする請求項 4 記載の情報処理装置。

【請求項 6】 前記制御回路は、所定の条件を満足する命令のみ選択することを特徴とする請求項 1 記載の情報処理装置。

【請求項 7】 前記所定の条件は、命令長又は命令の組み合わせに関する条件を含むことを特徴とする請求項 6 記載の情報処理装置。

【請求項 8】 前記命令実行部は複数のスロットを有し、

前記制御回路は  $n$  個の第 1 の選択回路と、該第 1 の選択回路で選択された所定数の命令を保持する 1 行  $n$  列のバッファを有し、

各スロットは  $n$  個の命令を保持する前記 1 行列のバッファ部分の数に等しい数か又はそれを超える数だけ設けられていることを特徴とする請求項 1 記載の情報処理装置。

【請求項 9】 前記  $m$  行  $n$  列の命令バッファは、メモリから読み出された NOP 命令を含まない命令群を受取ることを特徴とする請求項 1 記載の情報処理装置。

【請求項 10】 命令を格納するメモリと、該メモリから読み出された命令を並列処理するプロセッサを具備し、

該プロセッサは、

$m$  行  $n$  列の命令バッファと、

複数の命令を並列的に実行する命令実行部と、

前記  $m$  行  $n$  列の命令バッファから所定数の命令を選択して前記命令実行部に分配する制御回路と

を具備することを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置に関し、特に複数の基本命令を並列的に実行する並列処理プロセッサに関する。より詳細には、本発明は超長命令語 (Very Long Instruction Word: VLW) を実行可能な並列処理プロセッサに関する。

【0002】

近年の計算機システムの高速化の要求に伴い、プロセッサ単位において 1 クロックサイクル中に並列に実行可能な命令数を増加させることが要求されている、このため、超長命令語、即ち VLW 命令を用いた方式が提案されている。しかし、この方式では、プログラムによっては実メモリ中に何もしない、つまり命令の解釈や実行の必要のない命令 `nop` (no operation) が多く配置

される可能性がある。nop命令が多く配置されると、命令キャッシュや主記憶などに無駄な空間が増大し、性能低下を引き起こす可能性がある。そこでVLIW形式において、並列に実行可能な命令を、nop命令を付加することなく実メモリに格納し、それを並列に実行可能な命令群に展開し、供給する装置が要望されている。

【0003】

【従来の技術】

まず、図1と2を参照して、VLIW命令を用いた計算機システムについて説明する。

【0004】

図1は、従来の並列処理プロセッサの構成を示す図である。図1に示されるように、従来の並列処理プロセッサ10は、メモリ7に接続された命令読出部1と、命令読出部1に接続された命令発行部3と、それぞれが命令発行部3に接続された命令実行部EU0～EUnと、全ての命令実行部EU0～EUnに接続されたレジスタ部5とを備える。ここで、命令読出部1はメモリ7から命令語を読み出して、該命令語を命令発行部3に供給する。

【0005】

また、命令発行部3は供給された命令後に含まれる基本命令を、命令実行部EU0～EUnへ発行する。なお、このとき命令実行部EU0～EUnが既に先の基本命令を実行中である場合には、その実行の完了を待った後に対応する命令実行部へ次の基本命令を供給する。そして、命令実行部EU0～EUnは供給された基本命令を実行するとともに、該実行が完了した場合にはその旨を命令発行部3へ通知する。

【0006】

また、レジスタ部5は必要に応じて命令実行部EU0～EUnへデータを供給し、かつ各命令実行部EU0～EUnにおける実行結果を保持する。なお、外部接続されたメモリ7は並列処理プロセッサ10で実行する命令語列を記憶すると共に、命令実行部EU0～EUnが命令の実行にあたり必要とするデータ及び該実行の結果得られたデータを記憶する。

## 【0007】

図2は、4個の命令実行部E U 0～E U 3を備えた上記の並列処理プロセッサに供給される命令語の形式を示す図である。図2に示されるように、命令語は基本命令E Iと、無操作命令n o pとからなる。ここで、一つの命令語に含まれ並列的に実行される基本命令の数が命令実行部E U 0～E U 3の数に達しない場合には、無操作命令の割合が多くなることがわかる。

## 【0008】

すなわち、従来のV L I Wによる複数の基本命令の並列処理方式は、命令語が固定長であったため、並列に実行する基本命令の数が所定の数に達しない場合には、無操作命令を付加して所定の長さにする必要があった。このことから、命令並列度の低いプログラムに対しては、無操作命令が多くなると共に命令コード量が増大するため、メモリの使用効率の悪化やキャッシュメモリのヒット率の低下、命令読み出し機構の負荷の増大などを招くという問題があった。

## 【0009】

この問題に着目し、n o p命令かどうかを指示する情報を命令中に設け、n o p命令の場合には演算器の動作を禁止する方法（例えば、特開平8-161169号公報）や、V L I W命令形式を可変長にしてn o p部分を削除し、実行可能な命令のみからなるV L I W命令を展開して演算器に振り分けることが提案されている（例えば、本出願人が先に提案した特願平11-281957）。

## 【0010】

## 【発明が解決しようとする課題】

しかしながら、これらの従来技術では、V L I W命令を効率的に読み出し、効率的に演算器に振り分けて演算を実行する点で改善の余地がある。

## 【0011】

具体的には、図1に示す従来技術の命令発行部3は読み出し部1から供給されたn個の命令を保持することができる。つまり、命令発行部3は1行n列構成である。このような構成の命令発行部は、上記特開平8-161169号公報や特願平11-281957に記載されている構成でも用いられている。命令発行部3が1行n列構成なので、V L I W命令を頻繁にメモリ7から読み出さなくては



ならず、効率的でない。また、V L I W命令が可変長なので、必ずしも命令発行部 3 に全てのV L I W命令が格納される保証はない。つまり、V L I W命令の一部のみが命令発行部 3 に転送され、残りは依然としてメモリ 7 にあるようなことが考えられる。このような場合には、V L I W命令の残りの部分をメモリ 7 から読み出して命令発行部 3 へ転送するまで、V L I W命令を実行することができない。

#### 【 0 0 1 2 】

従って、本発明は上記従来技術の問題点を解決し、V L I W命令などの命令を効率的に読み出して演算器に分配することができる情報処理装置及び計算機システムを提供することを目的とする。

#### 【 0 0 1 3 】

##### 【課題を解決するための手段】

本発明は、m行n列の命令バッファと、複数の命令を並列的に実行する命令実行部と、前記m行n列の命令バッファから所定数の命令を選択して前記命令実行部に分配する制御回路とを有する情報処理装置である。m行n列の命令バッファを用い、このm行n列の命令バッファから所定数の命令を選択して前記命令実行部に分配するので、V L I W命令などの命令を効率的に読み出して演算器に分配することができる。

#### 【 0 0 1 4 】

##### 【発明の実施の形態】

##### （第 1 の実施の形態）

図 3 は、本発明の情報処理装置の第 1 の実施の形態による並列処理プロセッサの説明ブロック図である。図 3 に示す並列処理プロセッサは、第 1 の命令バッファ 2 1、第 1 の選択回路 2 2、第 2 の命令バッファ 2 3、第 2 の選択回路 2 4 及び 2 つの演算器群 2 5、2 6 及び 2 7 を有する。

#### 【 0 0 1 5 】

第 1 の命令バッファ 2 1 は、m行n列構成である（mとnはそれぞれ任意の整数）。図 3 の例では、3行6列構成である。第 1 の命令バッファ 2 1 は、図 4 を参照して後述するメモリ 2 8 から読み出された可変長のV L I W命令をn個毎に

受け取り、これを  $m$  行  $n$  列構成に展開する。なお、 $n$  列からなる 1 行を 1 ブロックと定義する。また、1 つの命令を保持する部分（命令部分と前述した第 1 及び第 2 の情報を保持する部分）を単位バッファと称する。従って、第 1 の命令バッファ 21 は、18 個（ $= 3 \times 6$ ）の単位バッファを具備する。

## 【0016】

ここで、本実施の形態で用いられる命令について、図 4 を参照して説明する。図 4 において、参照番号 28 は本実施の形態で用いるメモリであって、その内部に記憶された複数の命令が図示されている。また、参照番号 7 は図 1 で用いられているメモリである。本実施の形態で用いる可変長の命令は、同時実行可能か否かを示す情報であるフラグ 29 が各命令に付加されている。フラグ 29 は“0”か“1”の何れかの値を取る。例えば、命令 1 (instruction 1) には“0”のフラグ 29 が付加され、命令 4 には“1”のフラグ 29 が付加されている。値“0”は同時実行可能な命令であることを示し、値“1”はその直後の命令と同時に実行することができない命令であることを示している。図 4 の例では、命令 1 から命令 4 までは同時実行可能な命令である。命令 4 のフラグ 29 は“1”なので、命令 5 とは同時実行できない。命令 5 のフラグ 29 は“1”なので、命令 6 とは同時実行できない。

## 【0017】

このような命令群を格納するメモリ 28 を従来の方法で  $n \times p$  を用いて 2 次元に展開すると、図 4 の参照番号 28 A で示すようになる。命令 4 つで 1 行を構成しており、各行が 1 つの VLW 命令を形成している。命令の格納は、左下から右方向へ 4 つ格納し、次は上の行に左から順に 4 つというように行われる。図 4 に示す命令アドレスは、1 命令毎に値が 4 インクリメントする。各 VLW 命令の最後の命令に付加されているフラグ 29 の値は全て“1”となる。つまり、フラグ 29 は VLW 命令の境界を示す情報である（これをパッキングフラグと言う）。

## 【0018】

図 3 に示す第 1 の命令バッファ 21 には、図 4 のメモリ 28 から命令が読み出されて 1 ブロック毎に、つまり 6 つの命令毎に順次左下から順に書き込まれる。

図3に示す0や1は上記パッキングフラグを意味している。図3には、図4に示すinstruction1などの個々の命令を示す表示は省略してある。

#### 【0019】

また、図3には、A、B、Cの記号が各单位バッファ上に示されている。これは、各命令に付与された第2の情報である（第1の情報はパッキングフラグ）。第2の情報は命令の種類を示す。また、第2の情報は、処理されるべき演算器群25～27の1つを示しているとも言える。演算器25、26及び27はそれぞれ演算A、B及びCを実行する。例えば、演算A、B及びCはそれぞれ整数演算、浮動小数点演算及び分岐命令演算である。

#### 【0020】

図3の例では、第1の命令バッファの最下行の左から順に命令が書き込まれる。最初の2つの単位バッファは空(empty)であり、命令は書き込まれていない。その次から4つ順にフラグ“0”の命令であって命令の種類がB、AB、Cの命令が書き込まれている。下から2番目(中央)の行には左から順に、フラグが“0”、“1”、“0”、“1”、“0”、“0”であって命令の種類がA、C、B、C、A、Cの命令が書き込まれている。一番上の行には左から順に、フラグが“1”、“0”、“0”、“1”、“0”、“1”であって命令の種類がC、B、A、C、A、Bの命令が書き込まれている。

#### 【0021】

前述したように、パッキングフラグがVLW命令の境界を示している。従って、図3の例では、最初のVLW命令は命令の種類がB、A、B、C、A、Cの6つの命令で構成され、2番目のVLW命令は命令の種類がB、Cの2つの命令で構成され、3番目のVLW命令はA、C、Cの3つの命令で構成されている（4番目以降のVLW命令の説明は省略）。ここで、1番目のVLW命令は2つのブロック（最下行から中央行にかけて）にまたがっており、3番目のVLW命令も2つのブロック（中央行から最上行にかけて）またがっている。本実施の形態によれば、このように複数行（ブロック）にまたがっているVLW命令を一度にまとめて第1の命令バッファから読み出して処理することができる。従来技術では1行6列構成なので、上記のVLW命令を処理するためには

、必ず1行の中でVLIW命令が完成していなければならないという制約があり、効率的な処理を行えない。

#### 【0022】

第1の選択回路22は、3入力1出力の選択器を6個備えている。図5は、図3に示す構成をより詳しく図示したものである。第1の選択回路22は、6個の3入力1出力の選択器（se1）22<sub>1</sub>～22<sub>6</sub>を具備している。各選択器22<sub>1</sub>～22<sub>6</sub>は対応する列の3つの単位バッファから読み出された3つの命令を受け取り、そのうちの1つを選択する。例えば、選択器22<sub>1</sub>～22<sub>6</sub>はそれぞれ\*の付いている単位バッファから読み出した命令を選択する。選択は、パッキングフラグの値を参照して行われる。選択制御については後述する。

#### 【0023】

選択された命令は、第2の命令バッファ23に保持される。第2の命令バッファ23は、1行n列（本実施の形態では6列）構成である。つまり、図5に示すように、第2の命令バッファ23は、6つの単位バッファ23<sub>1</sub>～23<sub>6</sub>を有する。図5には、\*の付いている単位バッファから読み出され、選択された命令が格納されている様子を示している。各単位バッファ23<sub>1</sub>～23<sub>6</sub>の出力は、第2の選択回路24に供給されている。

#### 【0024】

図5に示すように、第2の選択回路24は、6つの6入力1出力選択器（se1）24<sub>1</sub>～24<sub>6</sub>を具備する。各選択器24<sub>1</sub>～24<sub>6</sub>の6つの入力は、6つの単位バッファ23<sub>1</sub>～23<sub>6</sub>の出力に接続されている。選択器24<sub>1</sub>と24<sub>2</sub>の出力は演算器群25に接続されている。選択器24<sub>3</sub>と24<sub>4</sub>の出力は演算器群26に接続されている。選択器24<sub>5</sub>と24<sub>6</sub>の出力は演算器群27に接続されている。

#### 【0025】

第2の選択回路24の選択は、命令の種類A、B、Cを参照して行なわれる。例えば、種類Aの演算器群25に接続されている選択器24<sub>1</sub>と24<sub>2</sub>は、種類Aの命令を保持している単位バッファ23<sub>3</sub>と23<sub>4</sub>を選択する。同様に、種類Bの演算器群26に接続されている選択器24<sub>3</sub>と24<sub>4</sub>は、種類Bの命令を保

持している単位バッファ 2 3<sub>5</sub> と 2 3<sub>6</sub> を選択する。

#### 【 0 0 2 6 】

各演算器群 2 5、2 6 及び 2 7 はそれぞれ 2 つのパイプラインスロット（演算器）を有する。演算器群 2 5 はパイプラインスロット A 1 と A 2 を有し、演算器群 2 6 はパイプラインスロット B 1 と B 2 を有し、演算器群 2 7 はパイプラインスロット C 1 と C 2 を有する。

#### 【 0 0 2 7 】

以上の通り、複数のブロック（行）にまたがる V L I W 命令でも同時に演算器群 2 5 ～ 2 7 に供給できるので、効率的に命令をメモリから読み出し、演算を実行することができる。

#### 【 0 0 2 8 】

以上、第 1 の実施の形態をまとめると、m 行 n 列の命令バッファ 2 1 と、複数の命令を並列的に実行する命令実行部 2 5 ～ 2 7 と、前記 m 行 n 列の命令バッファから所定数の命令を選択して前記命令実行部に分配する制御回路（第 1 の選択回路 2 2、第 2 の命令バッファ 2 3、及び第 2 の選択回路 2 4 で構成される回路）とを有する並列処理プロセッサが提供される。

（第 1 の実施の形態の変形例）

図 6 は、上記本発明の第 1 の実施の形態の変形例である。この変形例は、図 5 に示す第 2 の選択回路 2 4 に代えて、図 6 に示す第 2 の選択回路 1 2 4 を用いたことを特徴とする。第 2 の選択回路 1 2 4 は、6 つの 3 入力 1 出力選択器（se1）1 2 4<sub>1</sub> ～ 1 2 4<sub>6</sub> を具備する。各選択器 1 2 4<sub>1</sub> ～ 1 2 4<sub>6</sub> は、予め決められた第 2 の命令バッファ 2 3 の 3 つの単位バッファに接続されている。例えば、選択器 1 2 4<sub>1</sub>、1 2 4<sub>3</sub> 及び 1 2 4<sub>5</sub> は、単位バッファ 2 3<sub>1</sub>、2 3<sub>3</sub>、2 3<sub>5</sub> の出力に接続されている。また、選択器 1 2 4<sub>2</sub>、1 2 4<sub>4</sub> 及び 1 2 4<sub>6</sub> は、単位バッファ 2 3<sub>2</sub>、2 3<sub>4</sub>、2 3<sub>6</sub> の出力に接続されている。

#### 【 0 0 2 9 】

図 6 に示す構成は、予め決められた同時実行可能な命令の並びのいずれかに一致する V L I W 命令のみが第 1 の命令バッファ 2 1 から第 1 の選択回路 2 2 を通って、第 2 の命令バッファ 2 3 に出力される場合に適合するものである。同時実

行可能な命令の並びとは、例えば、同種類の命令が２個あるときには連続していなければいけないというものである。

【 0 0 3 0 】

更に、選択器 1 2 4<sub>1</sub> と 1 2 4<sub>2</sub> はそれぞれ演算器群 2 5 のパイプラインスロット A 1 と A 2 に、選択器 1 2 4<sub>3</sub> と 1 2 4<sub>4</sub> はそれぞれ演算器群 2 6 のパイプラインスロット B 1 と B 2 に、選択器 1 2 4<sub>5</sub> と 1 2 4<sub>6</sub> はそれぞれ演算器群 2 7 のパイプラインスロット C 1 と C 2 に直結されている構成では、奇数番目の単位バッファ 2 3<sub>1</sub>、2 3<sub>3</sub>、2 3<sub>5</sub> は奇数番目のパイプラインスロット A 1、B 1、C 1 で処理され、偶数番目の単位バッファ 2 3<sub>2</sub>、2 3<sub>4</sub>、2 3<sub>6</sub> は偶数番目のパイプラインスロット A 2、B 2、C 2 で処理される。つまり、第 2 の命令バッファ 2 3 に格納される V L I W 命令は、このような条件（規則とも言える）を満足するものでなければならない。

【 0 0 3 1 】

図 6 に示す構成では、予め決められた同時実行可能な命令の並びとなるように、メモリ 2 8 に命令を配置する。例えば、このような命令の配置は、V L I W 命令中に種類 A、B、C の命令は 2 個までしか存在できず、かつ 2 個存在する場合には同種類の命令は連続していなければならないという制約に従う。これに代えて、第 1 の命令バッファ 2 1 に格納した命令を読み出す際に、命令の種類を示す情報を後述するコントローラが参照して、予め決められた同時実行可能な命令の並びかどうかを判断することとしても良い。予め決められた同時実行可能な命令の並びと判断された場合のみ、第 2 の命令バッファ 2 3 に命令が選択・転送される。

（第 2 の実施の形態）

図 7 は、本発明の情報処理装置の第 2 の実施の形態による並列処理プロセッサのブロック図である。本実施の形態は、予め決められた同時実行可能な命令の並びの制限に加え、予め決められた同時実行可能な命令の数の制限がある場合の V L I W 命令を処理することを特徴とする。

【 0 0 3 2 】

本実施の形態は、3 行 4 列構成の命令バッファ 3 1 と、第 1 の選択回路 3 2 と

、 1 行 4 列 構 成 の 第 2 の 命 令 バ ッ フ ァ 3 3 と、 第 2 の 選 択 回 路 3 4 と、 3 つ の 演 算 器 群 2 5 ～ 2 7 を 具 備 す る。 第 1 の 選 択 回 路 3 2 は、 4 つ の 3 入 力 1 出 力 選 択 器 を 有 す る。 各 選 択 器 は、 対 応 す る 列 の 3 つ の 単 位 バ ッ フ ァ か ら 読 み 出 さ れ た 命 令 を 選 択 し て、 第 2 の 命 令 バ ッ フ ァ 3 3 の 対 応 す る 単 位 バ ッ フ ァ に 出 力 す る。 こ の 選 択 動 作 は、 各 命 令 に 付 加 さ れ た パ ッ キ ン グ フ ラ グ を 参 照 し て 行 な わ れ る。

### 【 0 0 3 3 】

第 2 の 命 令 バ ッ フ ァ 3 3 は、 4 つ の 単 位 バ ッ フ ァ を 具 備 す る。 つ ま り、 第 2 の 実 施 の 形 態 は、 最 大 4 命 令 か ら な る 可 変 長 の V L I W 命 令、 つ ま り 最 大 可 変 長 が 4 の V L I W 命 令 を 扱 う こ と が で き る。 要 す る に、 第 2 の 実 施 の 形 態 は 4 を 超 え る V L I W 命 令 を 扱 う こ と は で き な い の で あ っ て、 同 時 実 行 可 能 な 命 令 の 数 に 4 と い う 上 限 が 設 定 さ れ て い る 場 合 の 構 成 で あ る。

### 【 0 0 3 4 】

第 2 の 実 施 の 形 態 で は、 予 め 決 め ら れ た 同 時 実 行 可 能 な 命 令 の 数 が 4 を 超 え な い よ う に、 メ モ リ 2 8 に 命 令 を 配 置 す る。 こ れ に 代 え て、 第 1 の 命 令 バ ッ フ ァ 3 1 に 格 納 し た 命 令 を 読 み 出 す 際 に、 今 処 理 し よ う と す る V L I W 命 令 を 構 成 す る 命 令 の 数 を 後 述 す る コ ン ト ロ ー ラ が 参 照 し て、 予 め 決 め ら れ た 同 時 実 行 可 能 な 命 令 の 数 の 条 件 を 満 足 し て い る か ど う か を 判 断 す る こ と と し て も 良 い。 予 め 決 め ら れ た 同 時 実 行 可 能 な 命 令 の 数 で あ る と 判 断 さ れ た 場 合 の み、 第 2 の 命 令 バ ッ フ ァ 3 3 に 命 令 が 選 択 ・ 転 送 さ れ る。

### 【 0 0 3 5 】

第 2 の 選 択 回 路 3 4 は、 4 つ の 4 入 力 1 出 力 選 択 器 を 具 備 し て い る。 各 選 択 器 は の 入 力 は 第 2 の 命 令 バ ッ フ ァ 3 3 の 4 つ の 単 位 バ ッ フ ァ に 接 続 さ れ、 出 力 は 予 め 決 め ら れ た 1 つ の 演 算 器 群 に 接 続 さ れ て い る。 つ ま り、 第 2 の 命 令 バ ッ フ ァ 3 3 に 格 納 さ れ る の は、 予 め 決 め ら れ た 同 時 実 行 可 能 な 命 令 の 並 び を も っ た V L I W 命 令 の み で あ る。 図 7 の 構 成 で は、 命 令 長 が 4 の 場 合、 A A B C、 A A B C、 A B C C 等 全 て 処 理 可 能 な の で、 前 述 し た 第 1 の 実 施 の 形 態 の 変 形 例 (図 6) の 場 合 と 同 様 に、 予 め 決 め ら れ た 同 時 実 行 可 能 な 命 令 の 並 び と な る よ う に、 メ モ リ 2 8 に 命 令 を 配 置 す る 構 成 で も 良 い し、 こ れ に 代 え て、 第 1 の 命 令 バ ッ フ ァ 3 1 に 格 納 し た 命 令 を 読 み 出 す 際 に、 命 令 の 種 類 を 示 す 情 報 を 後 述 す る コ ン ト ロ ー ラ

が参照して、予め決められた同時実行可能な命令の並びかどうかを判断することとしても良い。

(実施例)

図 8 は、本発明の一実施例による並列処理プロセッサ及びこれを有する計算機システムの構成を示すブロック図である。

【0036】

計算機システムは、メモリ 50、命令キャッシュメモリ 51、データキャッシュメモリ 52 及び以下に述べる並列処理プロセッサを具備する。並列処理プロセッサは、命令バッファ 41、命令バッファ 42、選択回路 43、演算器 43～49、コントローラ 53、ポインタ 54～56 及びプログラムカウンタ 57 を具備する。

【0037】

命令バッファ 41 は、前述の第 1 の命令バッファ 21 (又は 31) と、第 1 の選択回路 22 (又は 32) とを一体構成にしたものである。命令バッファ 41 は、4 つの行 #0～#3 と 4 つの列 #0～#3 からなる 4 行 4 列構成である。命令バッファ 41 は、4 行 4 列に配列された 16 個 ( $= 4 \times 4$ ) の単位バッファ 241 を具備する。各単位バッファ 241 は、命令 (INST.) を格納する部分と、パッキングフラグ (P) を格納する部分と、演算の種類を特定するフラグ (F、B) を格納する部分とからなる。命令が浮動小数点演算の場合には  $F = 1$ 、 $B = 0$  である。命令が分岐命令の場合には  $F = 0$ 、 $B = 1$  である。命令が整数演算の場合には  $F = 0$ 、 $B = 0$  である。このフラグ F、B の組み合わせで識別される 3 つの演算は前述の命令の種類 A、B、C に対応する。

【0038】

命令バッファ 41 は選択器 141 を具備する。選択器 141 は命令キャッシュメモリ 51 から読出された 4 つの命令を、コントローラ 53 で指示された行 (ブロック) に書き込む。

【0039】

命令バッファ 41 は、4 つの 4 入力 1 出力選択器  $341_1 \sim 341_4$  を有する。これらの選択器  $341_1 \sim 341_4$  は、前述の第 1 の選択回路 22 (32) に



相当する。選択器 3 4 1<sub>1</sub> は、列 # 0 に位置する単位バッファ 2 4 1 の出力を入力とする。同様に、選択器 3 4 1<sub>2</sub> ~ 3 4 1<sub>4</sub> はそれぞれ、列 # 1 ~ # 3 に位置する単位バッファ 2 4 1 の出力を入力する。これらの選択器 3 4 1<sub>1</sub> ~ 3 4 1<sub>4</sub> は、コントローラ 5 3 で制御される。

## 【 0 0 4 0 】

命令バッファ 4 2 は、前述の第 2 の命令バッファ 2 3 ( 3 3 ) に対応するもので、4 つの単位バッファ 1 4 2<sub>1</sub> ~ 1 4 2<sub>4</sub> を有する。単位バッファ 1 4 2<sub>1</sub> ~ 1 4 2<sub>4</sub> はそれぞれ、選択器 3 4 1<sub>1</sub> ~ 3 4 1<sub>4</sub> の出力を受取る。

## 【 0 0 4 1 】

選択回路 4 3 は、前述の第 2 の選択回路 2 4 ( 3 4 ) に対応するもので、6 個の 4 入力 1 出力構成の選択器 1 4 3<sub>1</sub> ~ 1 4 3<sub>6</sub> を有する。各選択器 1 4 3<sub>1</sub> ~ 1 4 3<sub>6</sub> の入力は、4 つの単位バッファ 1 4 2<sub>1</sub> ~ 1 4 2<sub>4</sub> の出力を受取る。各選択器 1 4 3<sub>1</sub> ~ 1 4 3<sub>6</sub> は、コントローラ 5 3 の指示に従って、4 つの入力から 1 つを選択する。選択器 1 4 3<sub>1</sub> ~ 1 4 3<sub>6</sub> の出力はそれぞれ、演算器 4 4 ~ 4 9 に供給される。

## 【 0 0 4 2 】

演算器 4 4 と 4 6 は整数演算器である。演算器 4 5 と 4 7 は浮動小数点演算器である。演算器 4 8 と 4 9 は分岐命令演算器である。演算器 4 4 ~ 4 7 はデータキャッシュメモリ 5 2 とデータをやり取りする。演算器 4 8 と 4 9 の演算結果は、コントローラ 5 3 に供給される。

## 【 0 0 4 3 】

コントローラ 5 3 は、図 9 に示すフローチャートに従って、命令キャッシュメモリ 5 1、命令バッファ 4 1、命令バッファ 4 2 及び選択回路 4 3 を制御する。この制御は、ポインタ 5 4 ~ 5 6 及びプログラムカウンタ 5 7 を用いて行なわれる。ポインタ ( T O P P T R ) 5 4 は、命令バッファ 4 1 上のどの行に先頭アドレスがあるのかを示すものである。つまり、ポインタ 5 4 は行 # 0 ~ # 3 のいずれかを指している。ポインタ ( R E A P T R ) 5 5 は、ポインタ 5 4 が示す行にある 4 つの命令のどれが先頭命令であるのかを示すものである。すなわち、ポインタ 5 5 は、先頭アドレスを行番号と列番号で特定する。ポインタ ( W R I T E

PTR) 56は、命令バッファ41上で命令を次に格納すべき行を示すものである。すなわち、ポインタ56は、行番号#0～#3のいずれかを指している。ポインタ56が指している行であっても、命令バッファ41が命令で一杯の場合には、命令を格納できない。プログラムカウンタ(PC) 57は、行に命令を格納する際に命令キャッシュメモリ51上でのアドレスを格納するものである。即ち、行#0～#3にそれぞれプログラムカウンタPC#0～PC#3が存在し、命令を格納した際に命令キャッシュメモリ51上のアドレスを格納する。なお、図8に示す構成では、命令は命令バッファの左上(行#0、列#0)から順に書き込まれる。

#### 【0044】

次に、図9を参照して図8の計算機システムの動作を説明する。図9は、コントローラ53の制御動作を示すフローチャートである。

#### 【0045】

まず、コントローラ53はポインタ54、55及び56を初期化してポインタ値を0に設定するとともに、命令バッファ41の各単位バッファ241の内容をクリアする(ステップS11)。次に、コントローラ53は、命令キャッシュメモリ51から命令を1行分取り込み(フェッチ)、ポインタ56を1インクリメントするとともに、プログラムカウンタ57をセットする(ステップS12)。そして、コントローラ53は、キャンセル要求(CANCEL)を発生すべきかどうかを判断する(ステップS13)。キャンセル要求は、分岐予測ミス、例外などでフェッチした命令が無効になった場合に、命令バッファ41に格納されている全ての命令をクリアする。ステップS13の判断結果がYESの場合には、コントローラ53はステップS11に戻る。ステップS13の判断結果がNOの場合には、コントローラ53はステップS14に進む。

#### 【0046】

コントローラ53は、VLIW命令を命令バッファ42に供給(リリース)可能かどうかを判断する(ステップS14)。つまり、コントローラ53は、1VLIW命令を構成する命令が命令バッファ141に格納されたかどうかを判断する。この判断は、パッキングフラグPを参照して行なわれる。ステップS14の

判断結果がN Oの場合には、コントローラ53はステップS12を実行する。ステップS12で、4命令が次の行に読み込まれ、ポインタ56が1インクリメントされる。ステップS14の判断結果がY E Sの場合には、コントローラ53はステップS15を実行する。

## 【0047】

コントローラ53は、パッキングフラグPを境界とするV L I W命令を命令バッファ42にリリースする（ステップS15）。同時に、コントローラ53は必要に応じて、ポインタ54を1インクリメントし、ポインタ55を更新する。そして、コントローラ53はステップS16に進む。

## 【0048】

コントローラ53は、命令バッファ41はフルであるかどうかを判断する（ステップS16）。フルでないと判断した場合には、コントローラ53はステップS12に戻る。フルと判断した場合には、コントローラ53は命令キャッシュメモリ51から命令の取り込みを中止し（ステップS17）、ステップS14に戻る。

## 【0049】

上記フローチャートに従う動作の一例を示す。今、図10に示すように命令が命令バッファ41に格納される場合を例にとり説明する。

## 【0050】

命令バッファ41の全ての単位バッファ241がリセットされ、ポインタ54、56は行#0にリセットされている（ステップS11）。ポインタ55も0にリセットされている。この状態で、命令キャッシュメモリ51から読み出された1行分の4命令I N S T 1～I N S T 4がライン#0の単位バッファ241にフェッチされる（ステップS12）。このとき、ポインタ56は1インクリメントされ、行#1を示すようになる。ステップS13を判断結果N Oで通り、ステップS14で行#0のパッキングフラグがチェックされる。行#0、列#2の位置にある命令I N S T 3のパッキングフラグが“1”なので、ステップS14の判断結果はY E Sとなる。

## 【0051】

ステップS15でポインタ54とポインタ55の値は0であり、列#2の位置のパッキングフラグが“0”なので、INST1～INST3が命令バッファ42の単位バッファ142<sub>1</sub>、142<sub>2</sub>、142<sub>3</sub>に格納される。そして、ポインタ55が列#3を指すように更新される。ポインタ54はインクリメントされない。そしてステップS16を通り、ステップS12に進む。

## 【0052】

なお、コントローラ53は、単位バッファ142<sub>1</sub>、142<sub>2</sub>、142<sub>3</sub>に格納されたフラグFとBの値を参照して、選択回路43を制御する。この場合、命令INST1はF=B=0なので、単位バッファ142<sub>1</sub>から選択器143<sub>1</sub>を通り、演算器44に送られる。命令INST2もF=B=0なので、単位バッファ142<sub>2</sub>から選択器143<sub>3</sub>を通り、演算器46に送られる。命令INST3はF=1、B=0なので、単位バッファ142<sub>3</sub>から選択器143<sub>2</sub>を通り、演算器45に送られる。

## 【0053】

ステップS12で、次の4命令INST5～INST8が読み出されて、ポインタ56が指示する行#1の4単位バッファ241に格納される。そして、ポインタ56は1インクリメントされ、行#2を指すようになる。ステップS13の判断結果NOを通り、ステップS14に進む。ステップS14の判断結果はYESなので、ステップS15に進む。

## 【0054】

ポインタ54は行#0を指しており、ポインタ55は列#3を指している。また、“1”のパッキングフラグは行#1、列#2にある。よって、命令INST4～INST7が読み出され、命令バッファ42の単位バッファ142<sub>4</sub>、142<sub>1</sub>、242<sub>2</sub>、142<sub>3</sub>に書き込まれる。そして、ポインタ54は1インクリメントされ、行#1を指すようになる。次の読み出しの先頭は列#3なので、ポインタ55の値は3のまま変わらない。そして、ステップS16を通り、ステップS12に戻る。

## 【0055】

単位バッファ142<sub>1</sub>に格納されたINST5はF=B=0なので、選択回路

4 3 の選択器 1 4 3<sub>1</sub> を通り、演算器 4 4 に出力される。単位バッファ 1 4 2<sub>2</sub> に格納された INST 6 も F = B = 0 なので、選択回路 4 3 の選択器 1 4 3<sub>3</sub> を通り、演算器 4 6 に出力される。単位バッファ 1 4 2<sub>3</sub> に格納された INST 7 は F = 1、B = 0 なので、選択回路 4 3 の選択器 1 4 3<sub>2</sub> を通り、演算器 4 5 に出力される。単位バッファ 1 4 2<sub>4</sub> に格納された INST 4 は F = 1、B = 0 なので、選択回路 4 3 の選択器 1 4 3<sub>4</sub> を通り、演算器 4 7 に出力される。

【0 0 5 6】

このように、VLIW 命令が複数の行（ブロック）にまたがる場合であっても、効率的に命令を実行できる。

【0 0 5 7】

なお、コントローラ 5 3 に、許容される命令の並びや命令数の上限を設けておき、命令バッファ 4 1 に格納された VLIW 命令がこれらの条件を満足するかどうかを判断する機能を設けることとしても良い。この場合には、コントローラ 5 3 は、所定の条件を満足する VLIW 命令のみ命令バッファ 4 2 に転送する。

【0 0 5 8】

以上、本発明の実施の形態及び実施例を説明した。本発明はこれらに限定されるものではなく、様々な実施の形態や実施例を含むものである。

【0 0 5 9】

【発明の効果】

以上説明したように、本発明によれば、VLIW 命令などの命令を効率的に読み出して演算器に分配することができる情報処理装置及び計算機システムを提供することができる。

【図面の簡単な説明】

【図 1】

従来の並列処理プロセッサの構成を示すブロック図である。

【図 2】

4 個の命令実行部を備えた図 1 に示される並列処理プロセッサに供給される命令語の形式を示す図である。

【図 3】

本発明の第 1 の実施の形態を示すブロック図である。

【図 4】

本発明で用いられる命令を説明するための図である。

【図 5】

図 3 の構成をより詳細に示すブロック図である。

【図 6】

本発明の第 1 の実施の形態の変形例を示すブロック図である。

【図 7】

本発明の第 2 の実施の形態を示すブロック図である。

【図 8】

本発明の一実施例による並列処理プロセッサ及びこれを用いた計算機システムの構成を示すブロック図である。

【図 9】

図 8 に示すコントローラの動作を示すフローチャートである。

【図 1 0】

図 8 に示す並列処理プロセッサの動作例を説明するために用いられる命令の配列を示す図である。

【符号の説明】

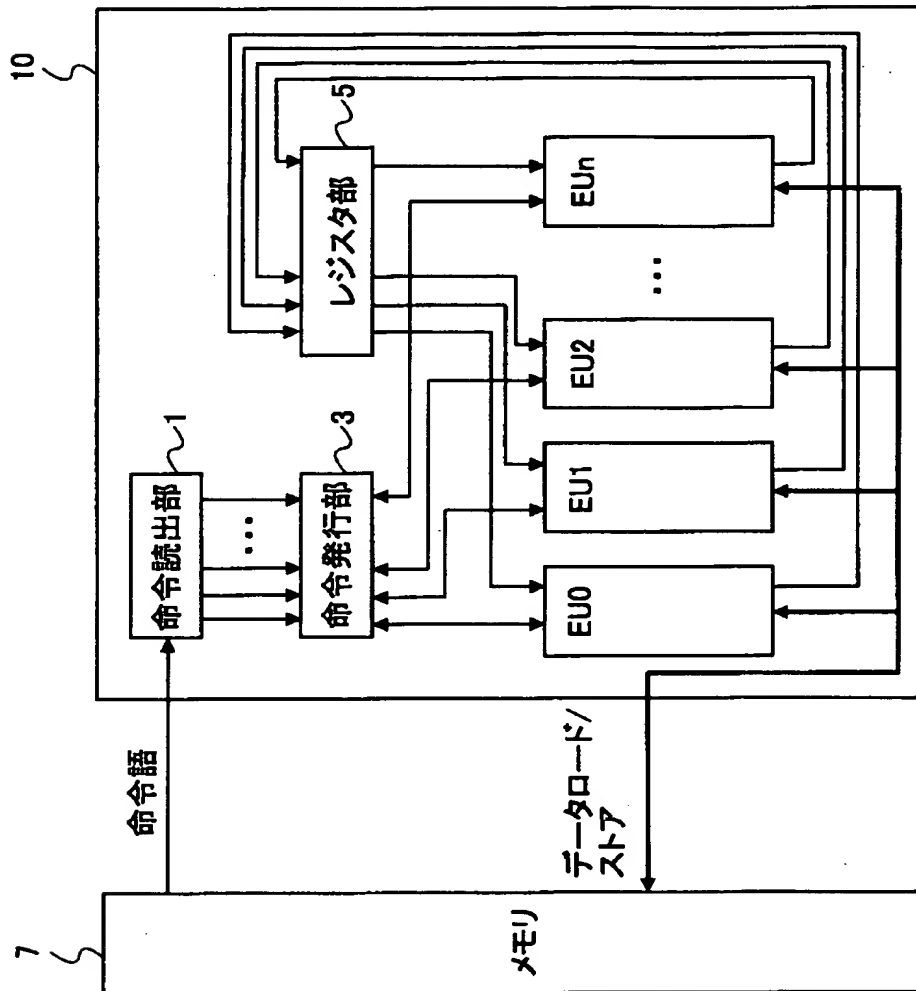
- |             |             |
|-------------|-------------|
| 2 1、3 1     | 第 1 の命令バッファ |
| 2 2、3 2     | 第 1 の選択回路   |
| 2 3、3 3     | 第 2 の命令バッファ |
| 2 4、3 4     | 第 2 の選択回路   |
| 2 5、2 6、2 7 | 演算器群        |

【書類名】

図面

【図 1】

従来の並列処理プロセッサの構成を示すブロック図



【図 2】

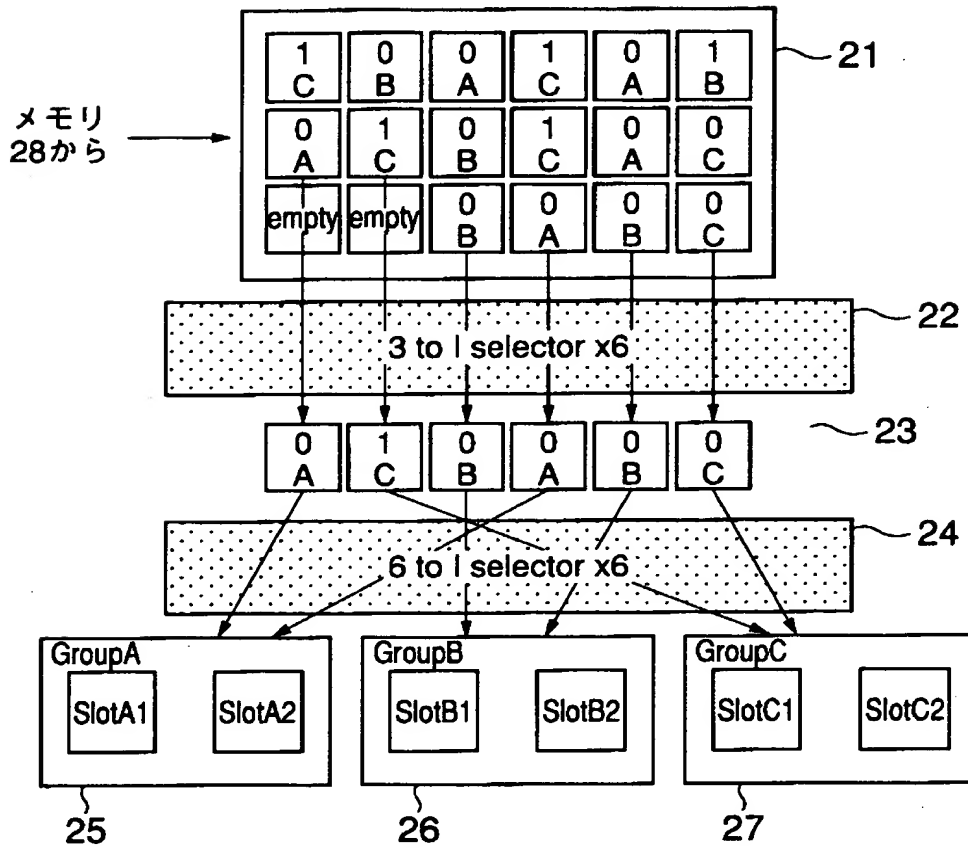
4個の命令実行部を備えた図1に示される並列処理プロセッサに  
供給される命令語の形式を示す図

nop	nop	nop	nop
EI	nop	nop	nop
nop	EI	nop	nop
nop	nop	EI	nop
nop	nop	nop	EI
EI	EI	nop	nop
EI	nop	EI	nop
EI	nop	nop	EI
nop	EI	EI	nop
nop	EI	nop	EI
nop	nop	EI	EI
EI	EI	EI	nop
EI	EI	nop	EI
EI	nop	EI	EI
nop	EI	EI	EI
EI	EI	EI	EI



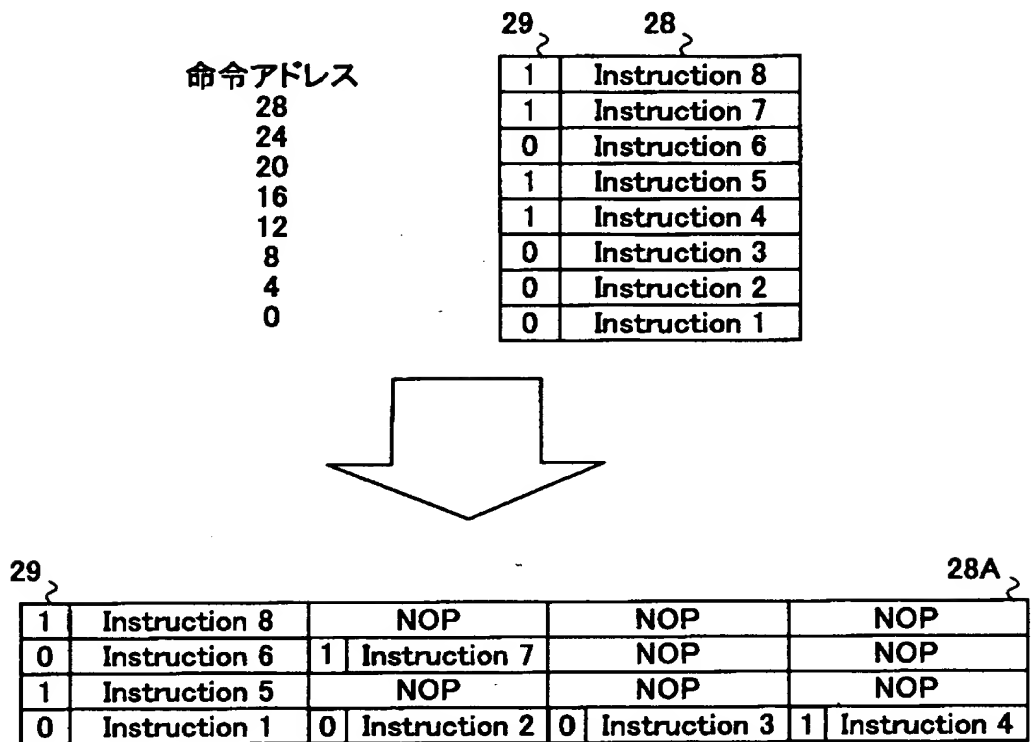
【図 3】

本発明の第1の実施の形態を示すブロック図



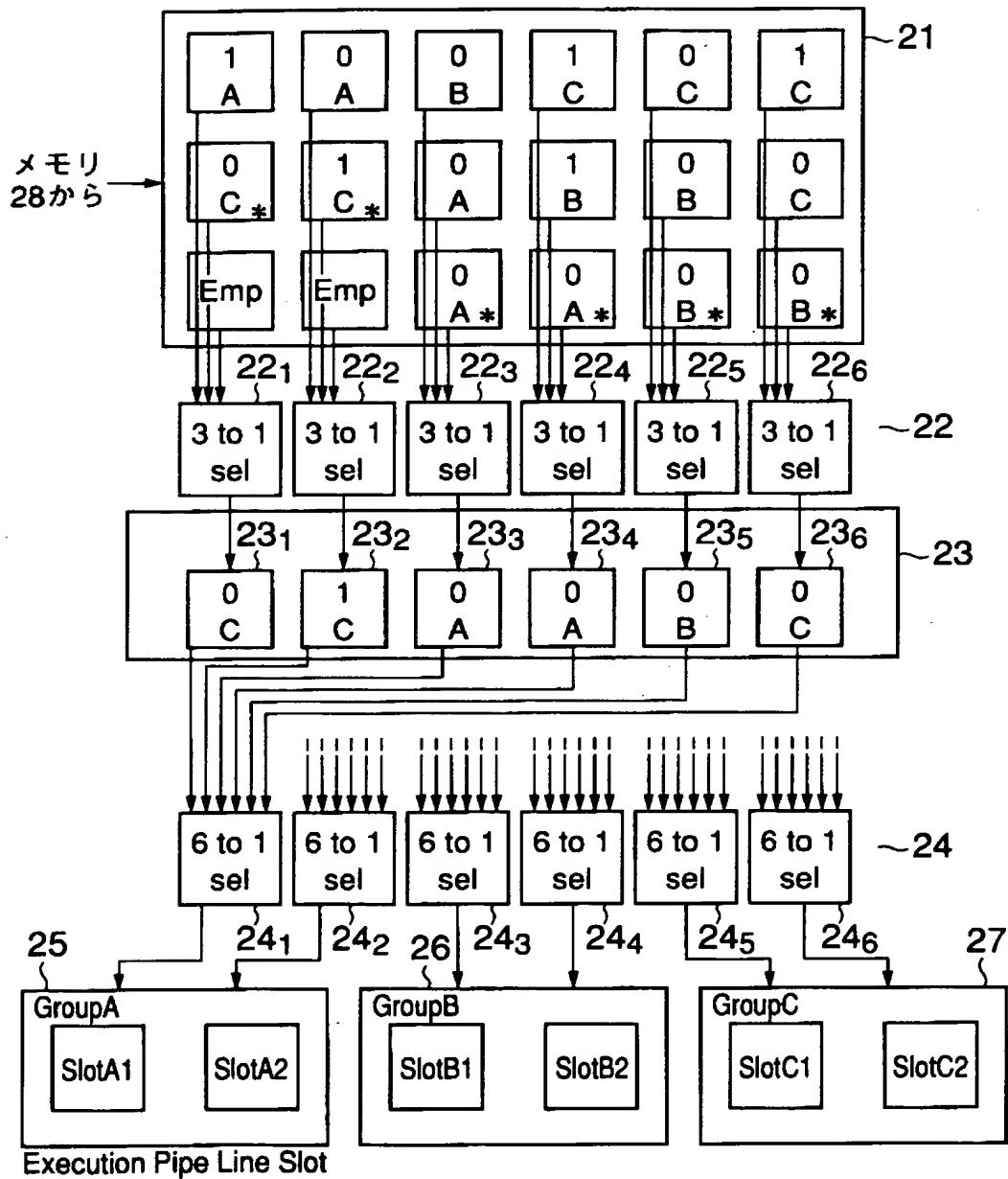
【図 4】

本発明で用いられる命令を説明するための図



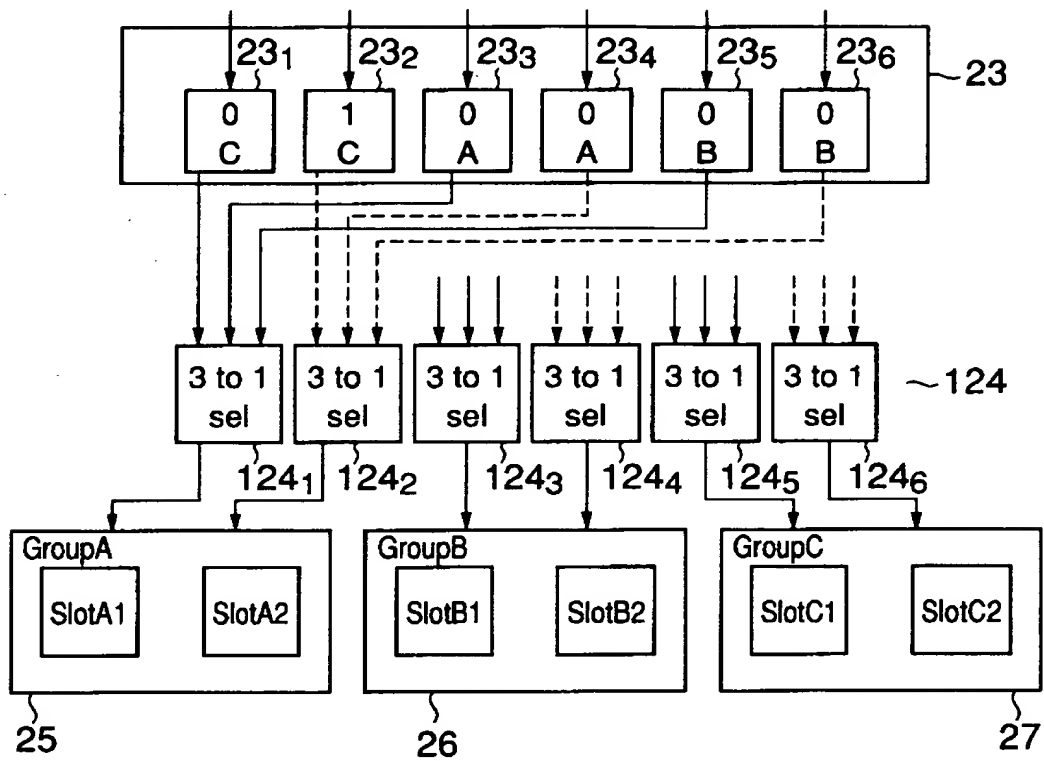
【図 5】

図3の構成をより詳細に示すブロック図



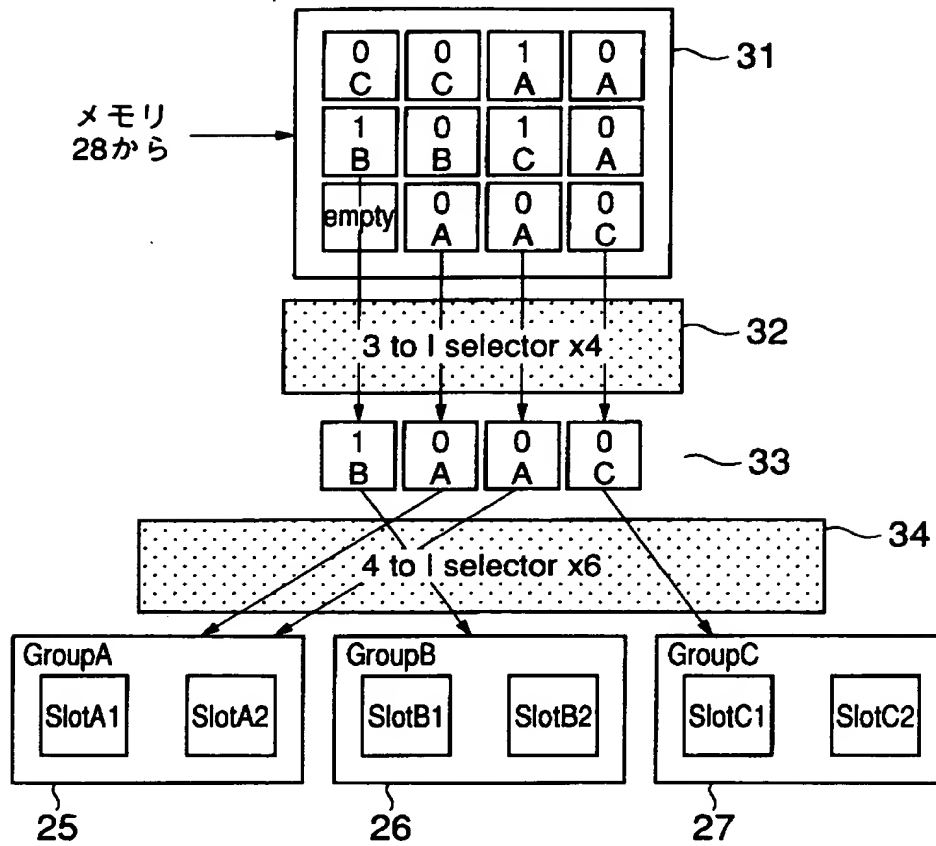
【図 6】

本発明の第1の実施の形態の変形例を示すブロック図



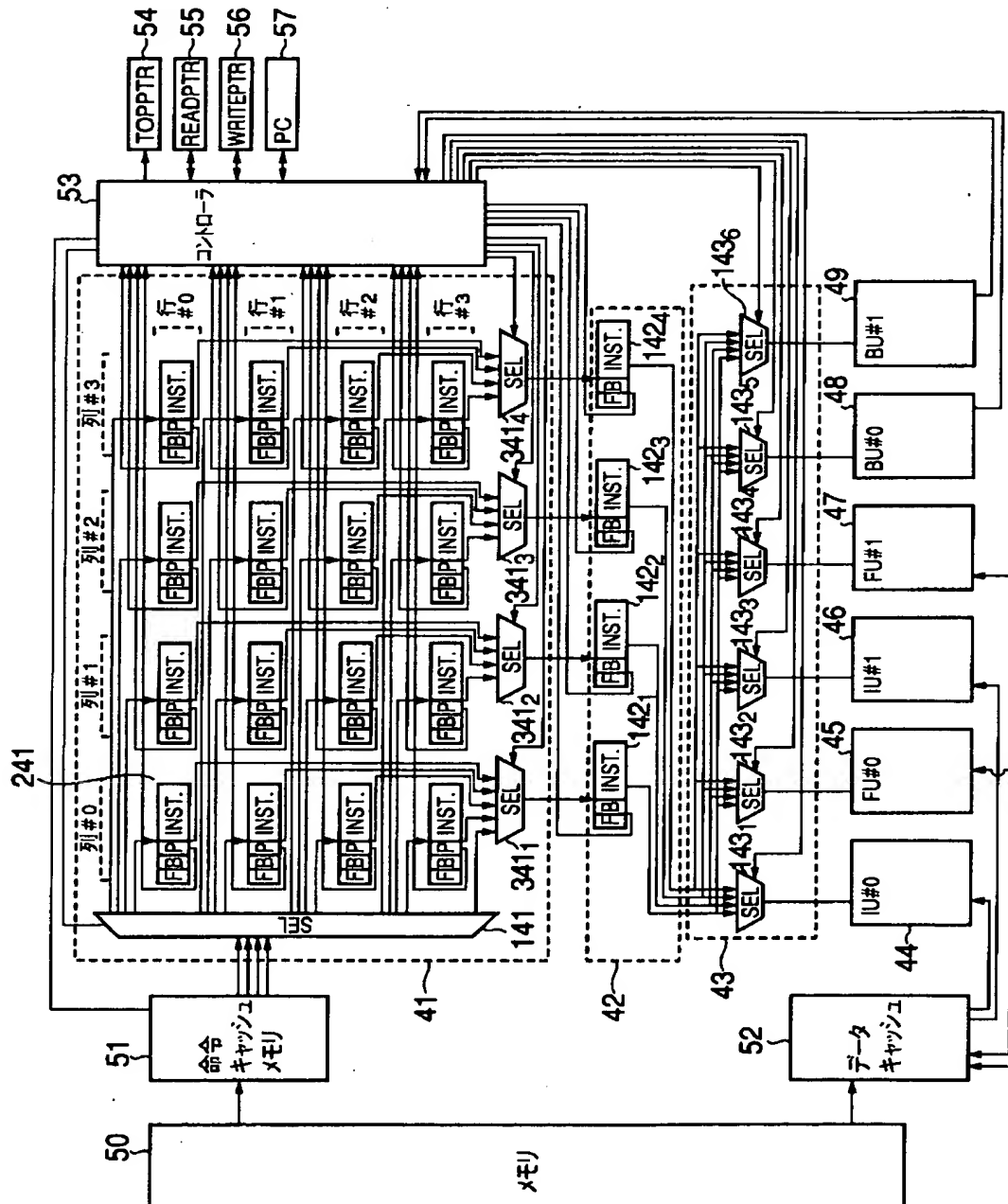
【図 7】

本発明の第2の実施の形態を示すブロック図



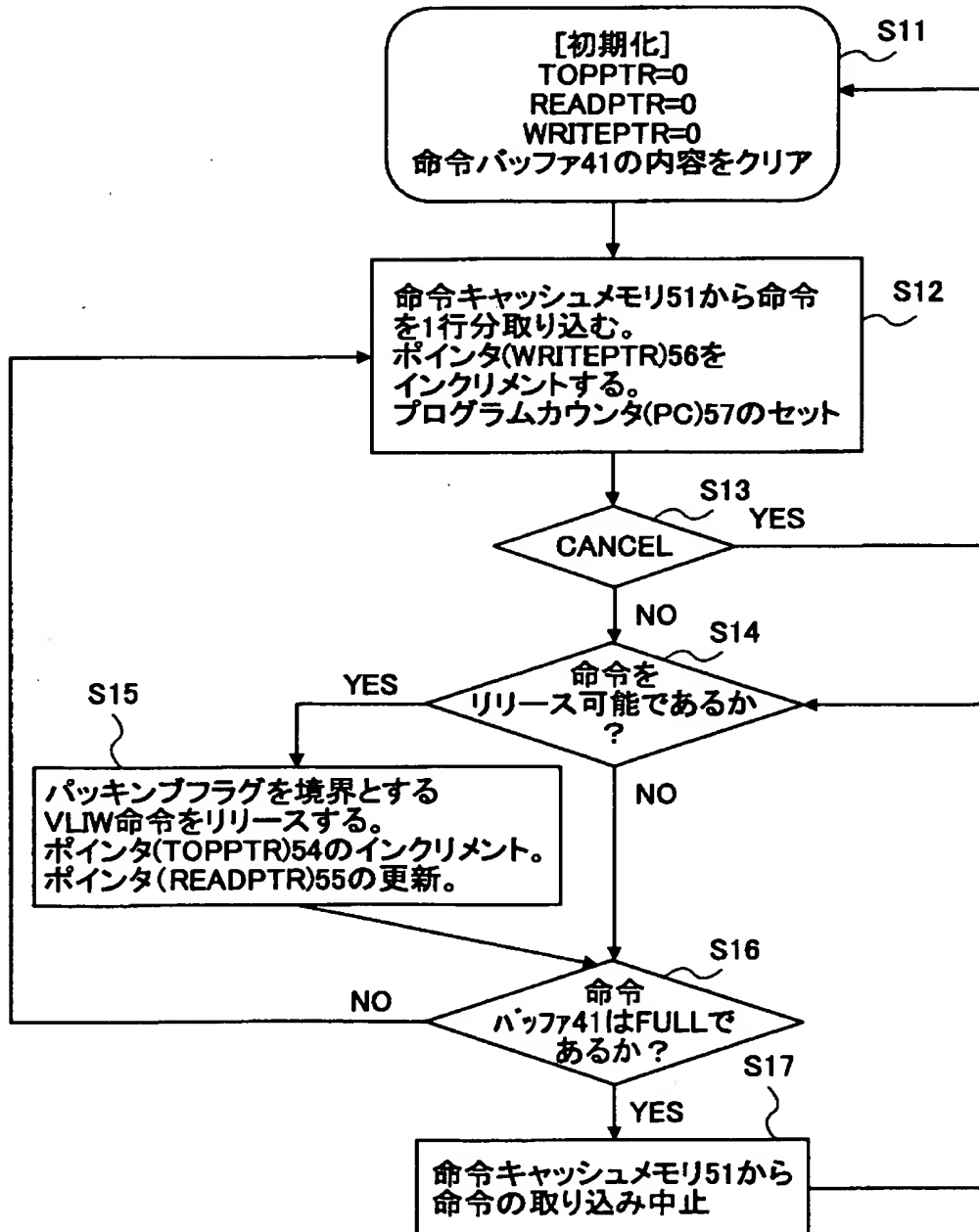
【圖 8】

本発明の一実施例による並列処理プロセッサ及びこれを用いた計算機システムの構成を示すブロック図



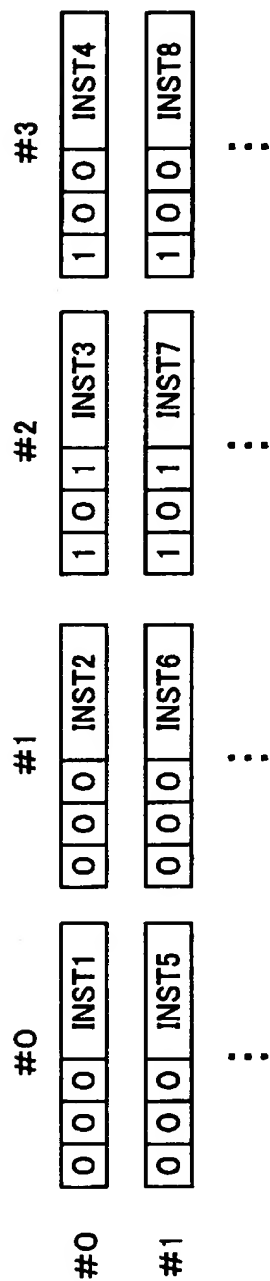
【図9】

図8に示すコントローラの動作を示すフローチャート



【図 1 0】

図8に示す並列処理プロセッサの動作例を説明するために  
用いられる命令の配列を示す図





【書類名】 要約書

【要約】

【課題】 V L I W 命令などの命令を効率的に読み出して演算器に分配することができる情報処理装置及び計算機システムを提供する。

【解決手段】 m 行 n 列の命令バッファ（2 1、3 1）と、複数の命令を並列的に実行する命令実行部（2 5～2 7、3 5～3 7）と、前記 m 行 n 列の命令バッファから所定数の命令を選択して前記命令実行部に分配する制御回路（2 2～2 4）とを有する情報処理装置。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社